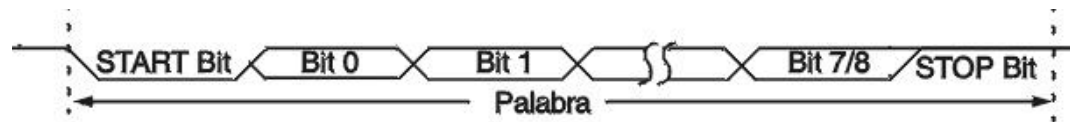


## 2.5-1 USART Introducción.

- ✍ El USART (*universal synchronous asynchronous receiver transmitter*) es uno de los dos puertos series de los que dispone los PIC16F87X.
- ✍ Puede funcionar de forma síncrona (*half duplex*) o asíncrona (*full duplex*).
- ✍ **Modo asíncrono:**
  1. Modo *full-duplex* (bidireccional).
  2. Utiliza los pines:
    - RC6/TX/CK: transmisión (salida).
    - RC7/RX/CK: recepción (entrada).
  3. Los datos enviados tienen tamaño de byte.
  4. En el formato de la trama se añade un bit de Start=0 y un bit de Stop=1, y puede añadirse un noveno bit de datos (ejemplo bit de paridad) a los 8 bits del dato:



5. Esta forma de comunicar serie usa la norma RS-232 / RS-485.
6. Los bits se transmiten a una frecuencia fija y normalizada.
7. Los bloques que configuran la USART en modo asíncrono son:
  - *Circuito de muestreo.*
  - *Generador de baudios.*
  - *Transmisor asíncrono.*
  - *Receptor asíncrono.*
8. La USART no soporta la generación de paridad por hardware.
9. En modo asíncrono la USART se para al entrar el micro en modo SLEEP.

## 2.5-2 Generador de Baudios.

- ✍ Para generar la velocidad de transmisión existe un temporizador dedicado de 8-bits (BRG), con funcionamiento dedicado para la USART.
- ✍ Los velocidad en baudios se controla mediante el registro SPBRG y las siguientes fórmulas:

**TABLA: Fórmulas de cálculo de los baudios.**

SYNC	BRGH = 0 (Baja velocidad)	BRGH = 1 (Alta velocidad)
0	(Asíncrono) Baudios = $F_{OSC}/(64(X+1))$	Baudios = $F_{OSC}/(16(X+1))$
1	(Síncrono) Baudios = $F_{OSC}/(4(X+1))$	N/A

X = valor en SPBRG (0 a 255)

**TABLA: Registros asociados con la generación de los baudios.**

Direcc.	Nombre	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Valor en: POR, BOR	Valor en otros RESETS
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
99h	SPBRG	<i>Baud Rate Generator Register</i>								0000 0000	0000 0000

# Generador de Baudios.

**TABLA: Baudios modo asíncrono con (BRGH = 1)**

BAUD (K)	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)
0.3	-	-	-	-	-	-	-	-	-
1.2	-	-	-	-	-	-	-	-	-
2.4	-	-	-	-	-	-	2.441	1.71	255
9.6	9.615	0.16	129	9.615	0.16	103	9.615	0.16	64
19.2	19.231	0.16	64	19.231	0.16	51	19.531	1.72	31
28.8	29.070	0.94	42	29.412	2.13	33	28.409	1.36	21
33.6	33.784	0.55	36	33.333	0.79	29	32.895	2.10	18
57.6	59.524	3.34	20	58.824	2.13	16	56.818	1.36	10
HIGH	4.883	-	255	3.906	-	255	2.441	-	255
LOW	1250.000	-	0	1000.000	-	0	625.000	-	0

BAUD (K)	Fosc = 4 MHz			Fosc = 3.6864 MHz		
	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)
0.3	-	-	-	-	-	-
1.2	1.202	0.17	207	1.2	0	191
2.4	2.404	0.17	103	2.4	0	95
9.6	9.615	0.16	25	9.6	0	23
19.2	19.231	0.16	12	19.2	0	11
28.8	27.798	3.55	8	28.8	0	7
33.6	35.714	6.29	6	32.9	2.04	6
57.6	62.500	8.51	3	57.6	0	3
HIGH	0.977	-	255	0.9	-	255
LOW	250.000	-	0	230.4	-	0

# Generador de Baudios.

**TABLA: Baudios modo asíncrono con (BRGH = 0)**

BAUD (K)	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)
0.3	-	-	-	-	-	-	-	-	-
1.2	1.221	1.75	255	1.202	0.17	207	1.202	0.17	129
2.4	2.404	0.17	129	2.404	0.17	103	2.404	0.17	64
9.6	9.766	1.73	31	9.615	0.16	25	9.766	1.73	15
19.2	19.531	1.72	15	19.231	0.16	12	19.531	1.72	7
28.8	31.250	8.51	9	27.778	3.55	8	31.250	8.51	4
33.6	34.722	3.34	8	35.714	6.29	6	31.250	6.99	4
57.6	62.500	8.51	4	62.500	8.51	3	52.083	9.58	2
HIGH	1.221	-	255	0.977	-	255	0.610	-	255
LOW	312.500	-	0	250.000	-	0	156.250	-	0

BAUD (K)	Fosc = 4 MHz			Fosc = 3.6864 MHz		
	KBAUD	% ERROR	SPBRG valor (decimal)	KBAUD	% ERROR	SPBRG valor (decimal)
0.3	0.300	0	207	0.3	0	191
1.2	1.202	0.17	51	1.2	0	47
2.4	2.404	0.17	25	2.4	0	23
9.6	8.929	6.99	6	9.6	0	5
19.2	20.833	8.51	2	19.2	0	2
28.8	31.250	8.51	1	28.8	0	1
33.6	-	-	-	-	-	-
57.6	62.500	8.51	0	57.6	0	0
HIGH	0.244	-	255	0.225	-	255
LOW	62.500	-	0	57.6	-	0

## 2.5-3 Transmisor asíncrono.

La transmisión se habilita mediante el bit TXEN, TXSTA(5).

El registro de transmisión es el TXREG. Para transmitir un dato el software lo escribe en este registro.

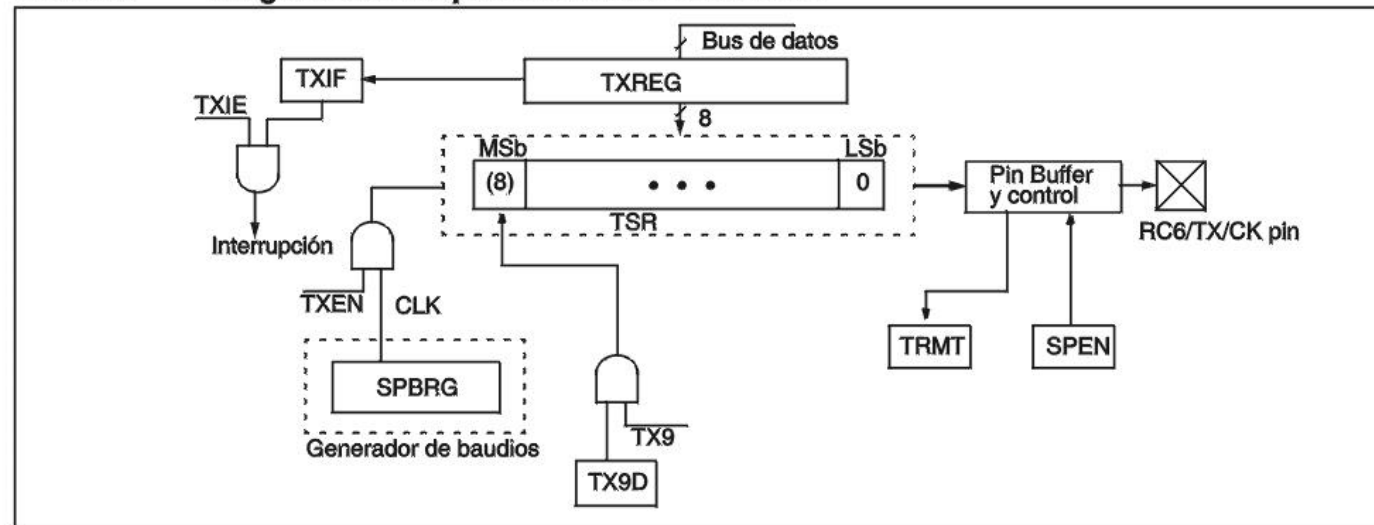
Después de haber escrito el TXREG el dato pasa al registro de desplazamiento TSR, este registro no se carga hasta que el bit de STOP del dato anterior no se ha transmitido.

Al quedar vacío el TXREG se activa el bit de interrupción TXIF (PIR1(4)), habilitado por el bit TXIE (PIE(4)). (TXIF no se desactiva por software, se desactiva sólo cuando se cargan nuevos datos).

Hay otro bit el TRMT, TXSTA(1) que muestra el estado del TSR, no produce ninguna interrupción. (Cuando activa TRMT está vacío).

Para enviar un dato con 9 bits hay habilitar el bit TX9, (TXSTA(6)) y poner el que se quiere enviar en TX9D (TXSTA(0)).

**FIGURA: Diagrama de bloques del transmisor USART**



# Transmisor asíncrono.

REGISTRO: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D
bit 7							bit 0

- bit 7     **CSRC:** Selección de la fuente de la señal de reloj  
Modo asíncrono: \_\_\_\_\_  
No importa  
Modo síncrono: \_\_\_\_\_  
1 = Modo maestro (reloj generado internamente por BRG)  
0 = Modo esclavo (reloj de fuente externa)
- bit 6     **TX9:** Habilitación transmisión del 9-bit  
1 = Selecciona transmisión 9-bit  
0 = Selecciona transmisión 8-bit
- bit 5     **TXEN:** Habilita transmisión  
1 = Transmit enabled  
0 = Transmit disabled

**Nota:** SREN/CREN sobrescribe TXEN en modo SYNC.

# Transmisor asíncrono.

REGISTRO: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

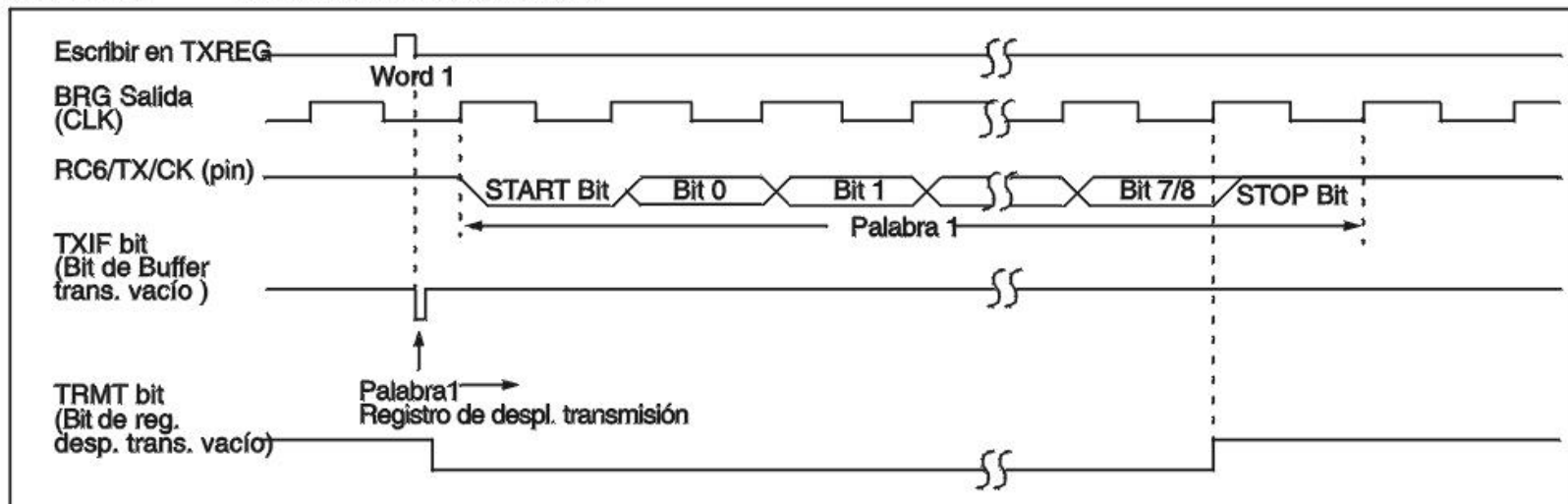
R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D
bit 7							bit 0

- bit 4      **SYNC:** Selección del modo USART.  
1 = Modo síncrono  
0 = Modo asíncrono
- bit 3      **No implementado:** Se lee como '0'
- bit 2      **BRGH:** Selección de velocidad.  
Modo asíncrono:  
1 = Velocidad alta  
0 = Velocidad baja  
Modo síncrono:  
No se utiliza en este modo.
- bit 1      **TRMT:** Bit de estado del registro de desplazamiento de transmisión.  
1 = TSR vacío  
0 = TSR lleno
- bit 0      **TX9D:** 9th bit de transmisión, puede ser de paridad

# Transmisor asíncrono.

- ✍ Pasos a seguir para implementar la transmisión:
1. Configurar RC6/TX/CK como salida y RC7/RX/DT como entrada.
  2. Poner SYNC=0 y SPEN=1, USART en modo asíncrono
  3. Si se desea activar interrupciones activar TXIE=1.
  4. Si el dato es de 9 bits TX9=1 y cargar TX9D
  5. Cargar X en SPBRG, y elegir BRGH para controlar la frecuencia de trabajo.
  6. Activar la transmisión TXEN=1,
  7. Cargar en TXREG el dato a transmitir.

**FIGURA:** Transmisión asíncrona





## 2.5-4 Receptor asíncrono.

La recepción se habilita mediante el bit CREN, (RCTA(4)).

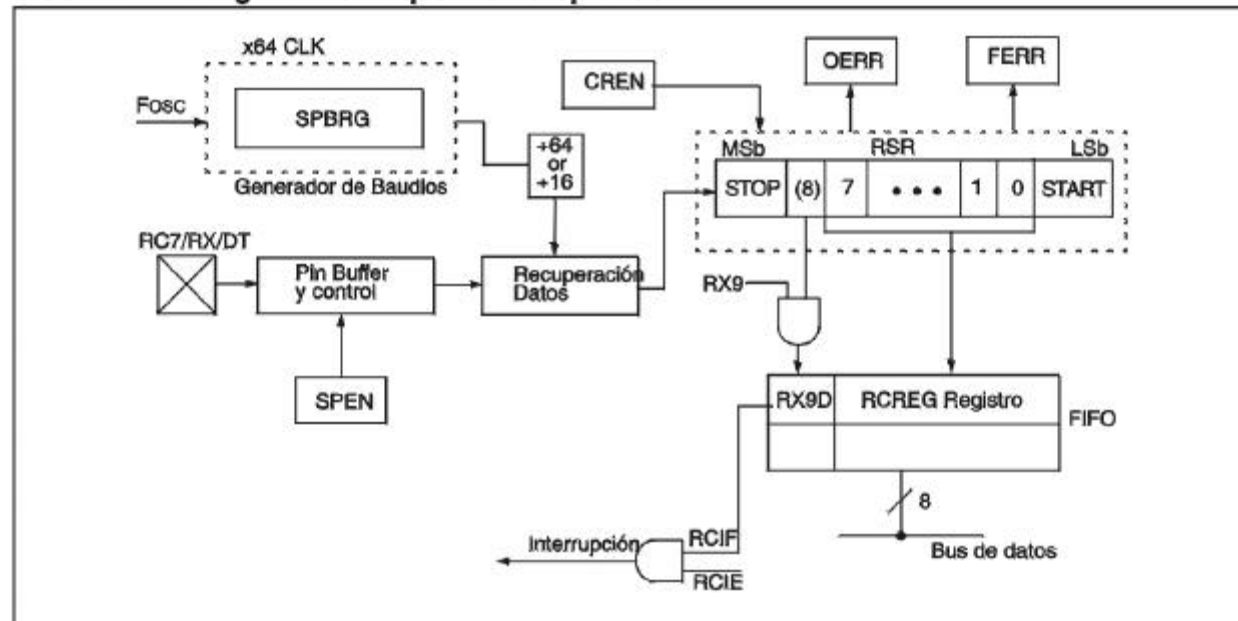
Los datos entran por el pin RC7/RX/DT, llegan hasta el muestreador y se cargan en el registro de desplazamiento RSR de forma serie.

Al recibir el bit de STOP, el dato contenido en RSR pasa al registro RCREG si está vacío, y se activa el bit de interrupción RCIF, (PIR1(5)). Habilitada mediante el bit RCIE (PIE1(5)). (RCIF es de sólo lectura y se desactiva por hardware al leer RCREG).

El registro RCREG admite dos datos a la espera de ser leídos. Formando un FIFO de dos niveles. Si se reciben tres datos sin que RCREG se lea, el último se pierde. Se produce un error de sobreescritura y hay que reiniciar el receptor. El bit de sobre escritura OERR(RCSTA(1)), se desactiva reseteando el receptor. (CREN=0).

El error de encuadre FERR, (RCSTA(2)) se produce si el bit de STOP es un cero. El 9th bit y FERR se cargan a la vez que RCREG, al leer el último dato de RCREG por lo tanto siempre hay que leer el 9th bit y FERR antes de leer RCREG.

FIGURA: Diagrama de bloques del receptor USART



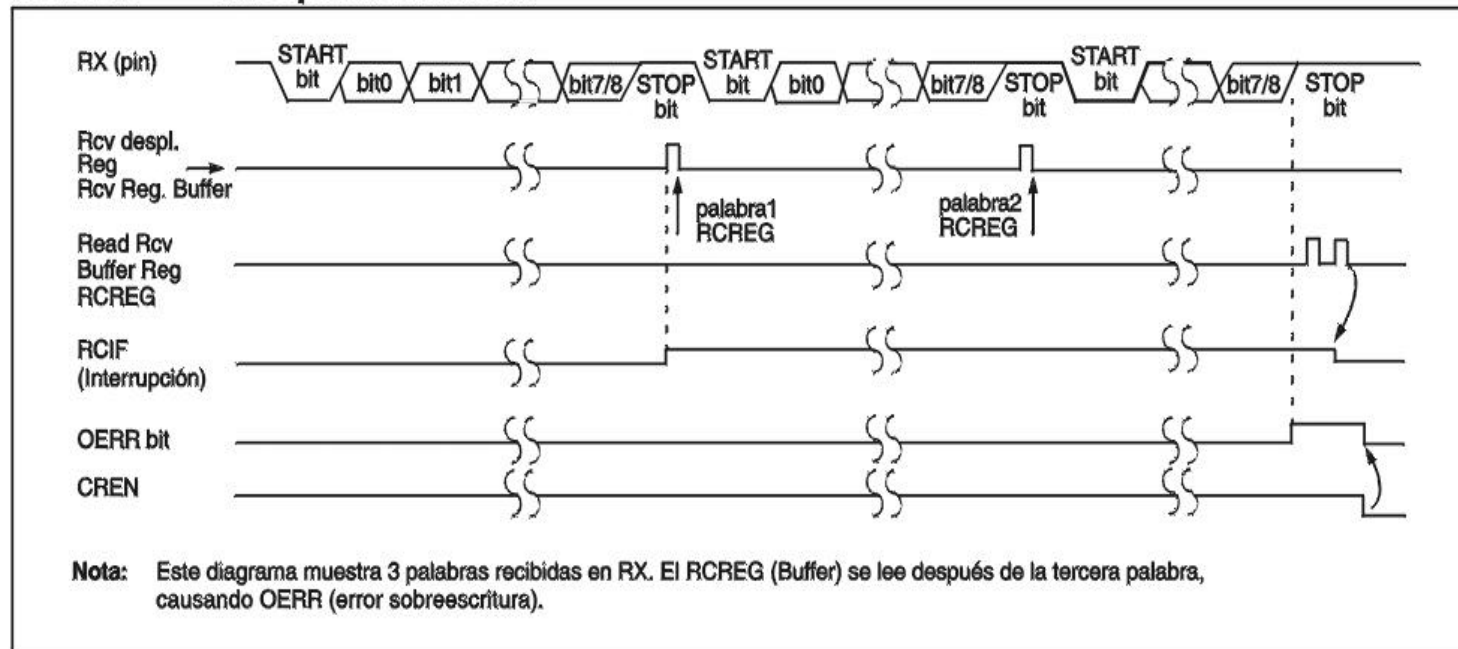
# Receptor asíncrono.



Pasos a seguir para programar la recepción:

1. Configurar RC6/TX/CK como salida y RC7/RX/DT como entrada.
2. Cargar X en SPBRG, y elegir BRGH para controlar la frecuencia de trabajo.
3. Poner SYNC=0 y SPEN=1, USART en modo asíncrono
4. Si se desea activar interrupciones activar RCIE=1.
5. Si el dato es de 9 bits RX9=1.
6. Habilitar la recepción con CREN=1.
7. Al completarse la recepción RCIF=1 y produce interrupción si se ha habilitado.
8. Se lee el registro RCSTA y se averigua si se ha producido algún error.
9. Leer el dato de RDREG.

**FIGURA: Recepción asíncrona**



# Receptor asíncrono.

REGISTRO: RCSTA: RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

- bit 7      **SPEN:** Habilita el puerto serie  
1 = Habilita el puerto serie (configa RC7/RX/DT y RC6/TX/CK pins como pines del puerto serie)  
0 = Deshabilitado
- bit 6      **RX9:** Habilita la recepción del 9-bit  
1 = Selecciona recepción con 9-bit  
0 = Selecciona recepción con 8-bit
- bit 5      **SREN:** Habilita la recepción sencilla  
Modo asíncrono:  
No influye  
Modo síncrono-maestro:  
1 = Habilita la recepción sencilla  
0 = Deshabilita la recepción sencilla  
Este bit se desactiva después de la recepción  
Modo síncrono-esclavo:  
No influye

# Receptor asíncrono.

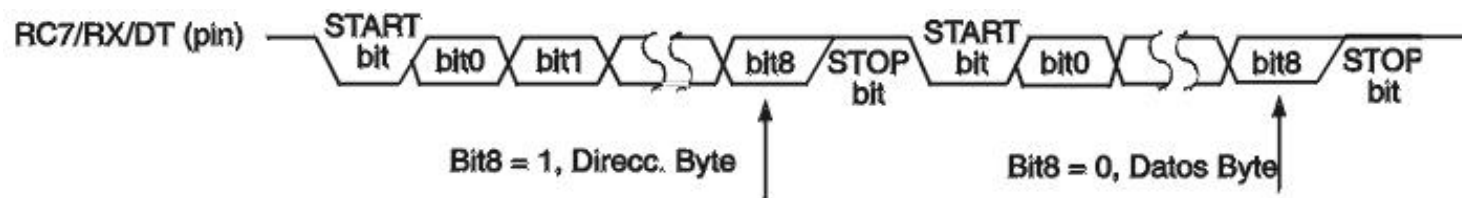
REGISTRO: RCSTA: RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7				bit 0			

- bit 4     **CREN:** Habilita la recepción continua  
Modo asíncrono:  
1 = Habilita la recepción continua  
0 = Deshabilita la recepción continua  
Modo síncrono:  
1 = Habilita la recepción continua.  
0 = Deshabilita la recepción continua.
- bit 3     **ADDEN:** Habilita la detección de la dirección  
Modo asíncrono con 9-bit (RX9 = 1):  
1 = Habilita la detección de la dirección, sólo recibe el dato y produce interrup. de recepción cuando RSR<8> está activo.  
0 = Deshabilita la detección de la dirección, se reciben todos los bytes, y 9th bit puede usarse para paridad
- bit 2     **FERR:** Error de encuadre  
1 = Error de encuadre (puede actualizarse leyendo RCREG y recibiendo el próximo byte válido)  
0 = No hay error de encuadre
- bit 1     **OERR:** Error de sobreescritura  
1 = Error de sobreescritura (puede ser borrado escribiendo un cero en CREN)  
0 = No hay Error de sobreescritura
- bit 0     **RX9D:** 9th bit del dato recibido (la paridad debe ser calculada por el software de usuario)

## 2.5-5 Receptor asíncrono. Modo Multimaestro.

- ✍ El noveno bit permite la implementación del **modo multimaestro** en la que cada nodo se identifica por una dirección.
- ✍ La transmisión de un bloque de bytes entre dos nodos forma una trama en la que se envía primero la dirección del nodo destino y a continuación los datos.



- ✍ La dirección tiene el 9th bit a '1' y será recibida por todos los nodos indistintamente del valor que tengan en el bit ADDEN.
- ✍ La trama tiene el 9th bit a '0' y será recibida por los nodos con ADDEN='0'.
- ✍ Inicialmente todos los nodos tienen ADDEN='1'.
- ✍ El nodo transmisor envía la dirección con 9th bit a '1' y todos los nodos la reciben. Aquel nodo cuya dirección coincida con la enviada desactiva ADDEN='0'.
- ✍ Los datos enviados a continuación sólo serán recibidos por este nodo ya que el 9th bit a '0' y sólo se reciben si ADDEN='0'.

## 2.5-6 Receptor asíncrono. Registros asociados.

**TABLA: Registros asociados con la recepción asíncrona**

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Valor en: POR, BOR	Valor en otros RESETS
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	R0IF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART Recepción								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baudios								0000 0000	0000 0000