



DEPARTAMENTO DE INFORMÁTICA

**Ingeniería Informática**

**Laboratorio de Telemática y Sistemas de Transmisión de Datos**

## **Apéndice Prácticas 8 y 9**

### ***Hardware del puerto serie de los computadores***

Prof. Juan Manuel Orduña Huertas



---

## 1 CONTROLADORA UART 8250

---

### 1.1. Acceso a la 8250 y direccionamiento de sus registros

Como se comentó en la introducción, una UART puede ser contemplada de forma abstracta como un conjunto de registros cuyo acceso y utilización permite activar las diferentes funciones de la UART. En el entorno PC donde es habitual el uso de la controladora 8250, la forma de acceder a esta se basa en la asignación de una dirección de entrada/salida como dirección base para poder acceder a los registros que componen la 8250. P.e. la dirección base de puerto serie COM1 es 2F8H. A partir de esta dirección podemos acceder a todos los registros de la UART asociada a COM1. En concreto la 8250 ocupa las direcciones 2F8H hasta la 2FFH definiendo en total 8 registros<sup>1</sup>. Sin embargo, la UART 8250 contiene 10 registros (ver Figura 1.1)

Si se observa la descripción de las líneas de interfaz con el bus de sistema, observamos que sólo disponemos de 3 líneas de dirección A0-A2 con lo que únicamente podemos direccionar 8 registros. Para solucionar este problema se utiliza un pequeño truco para reutilizar dos direcciones concretas y poder acceder a diversos registros en la misma dirección. Para ello se utiliza el séptimo bit del registro de formato de datos (denominado DLAB) de forma que el valor de dicho bit permite interpretar el contenido de los registros  $BASE+0$  y  $BASE+1$ . Cuando el DLAB vale 0 se interpre-

---

<sup>1</sup>En realidad los registros de transmisión y recepción son versiones de lectura/escritura de la misma dirección y seleccionados mediante las líneas RD y WD

tan como los registros de transmisión/recepción y activación de interrupciones respectivamente y cuando el DLAB vale 1 se interpretan como registros que contienen la parte baja y alta del registro “latch divisor”.

Más adelante se describen detalladamente los registros que componen la 8250. En la figura 1.1 se representa el diagrama de bloques de la 8250.

- Circuitería de control de modem. Se encargan de controlar las funciones RS-232.
- Circuitería de control de emisión. Su función consiste en almacenar temporalmente los datos hasta que la CPU los recoja.
- Circuitería de control de recepción. Gestiona los bytes recibidos por la línea de comunicación.
- Circuitería de control de interrupciones. Maneja el mecanismo de activación y gestión de interrupciones.

## **1.2. Descripción de los registros de la UART 8250**

### **1.2.1. Registro del buffer de receptor (BASE+0).**

Cuando se ha recibido de la línea SIN un carácter completo, este es transferido desde el registro de desplazamiento de recepción (conectado con la línea SIN como se observa en la figura 1.1 hasta el registro del buffer de receptor, donde queda disponible para la CPU.

### **1.2.2. Registro del buffer de transmisor (BASE+0).**

Cuando se escribe un byte en este registro, automáticamente se transfiere sobre el registro de desplazamiento de transmisión, de forma que el bloque de control de transmisión en combinación

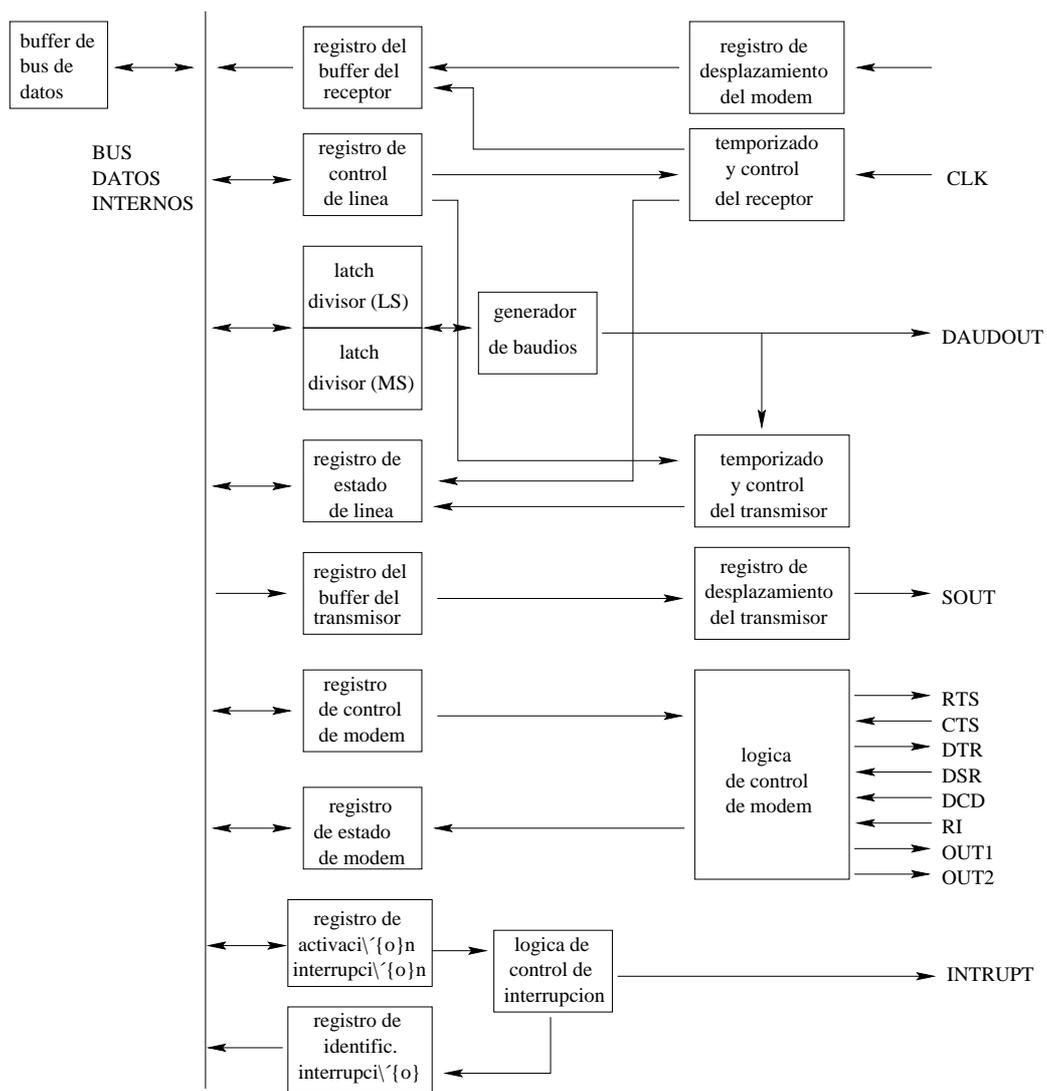


Figura 1.1: Diagrama de bloques de la UART 8250

con la línea  $BAU\bar{D}OUT$ , se encarga de emitir dicho byte serialmente a través de la línea SOUT. Esta transmisión se realiza en base al formato y parámetros usados en el registro de formato de datos (BASE+3).

### 1.2.3. Registro de activación de interrupciones (BASE+1).

Los bits de este registro permiten activar los cuatro tipos de interrupción que soporta la 8250. Cada interrupción se activa cuando su bit asociado vale '1':

- Bit 0 (RxRDY). Si este bit se encuentra a '1' se genera una interrupción cada vez que existe un byte disponible en el registro del buffer del receptor.
- Bit 1 (TBE). Si este bit se encuentra a '1' se genera una interrupción cada vez que se desplaza un byte desde el buffer de transmisión al registro de desplazamiento para transmisión. Esto significa que el buffer se encuentra vacío, con lo que la UART será capaz de recibir un nuevo carácter.
- Bit 2 (ERROR). Si este bit se encuentra a '1' se genera una interrupción cuando se detecta un error de paridad, de trama o encuadre ("frame error"), de sobreescritura ("overrun") o bien si se detecta una condición "break" en la línea durante la llegada de un byte.

Para determinar cuál de los eventos anteriores ha causado la interrupción se debe consultar el registro de estado de línea (BASE+5).

- Bit 3 (Entrada RS-232). Si este bit se encuentra a '1' se genera una interrupción cada vez que cambie el estado de alguna línea de entrada RS-232. En este caso para averiguar que línea ha cambiado se debe consultar el registro de entrada RS-232 (BASE+6).
- Bit 4-7. No utilizados por lo que su valor siempre es '0'.

#### 1.2.4. Registro de identificación de interrupciones (BASE+2).

la UART 8250 tiene una única línea de interrupción que puede activarse por diversos motivos como se ha comentado en el registro anterior. Para que la rutina de tratamiento de interrupción pueda determinar el origen de la interrupción se debe leer este registro e interpretar los diferentes bits que lo componen:

- Bit 0. Este bit normalmente a '1', para a '0' cuando existe una interrupción pendiente de ser procesada. El valor de bit pasa nuevamente a '1' cuando es leído el registro.
- Bit 1-2. Estos bits identifican el tipo de interrupción que se ha producido según la siguiente tabla:

Prioridad	Bit 2	Bit 1	Tipo interrupción
0	1	1	Error de serialización o break
1	1	0	Dato recibido
2	0	1	Buffer de transmisión vacío
3	0	0	Entrada RS-232

Estas interrupciones tienen establecido un orden de prioridad interna (no programable) tal como se describe en la anterior tabla y que va desde la mayor prioridad en caso de una interrupción por un condición de error hasta la menor en caso de interrupción por entrada RS-232. Cuando una interrupción está pendiente no se informa de otras de menor o igual prioridad, sino que quedan bloqueadas hasta que se trate la más prioritaria. Sin embargo, cuando se trate la más prioritaria, entonces aparecen las anteriores, es decir no se pierden.

#### 1.2.5. Registro de formato de datos (BASE+3). Control de línea.

Este registro también denominado de control de línea, contiene los parámetros de la transmisión como son el número de bits de datos, el tipo de paridad,...

- Bits 0-1. Estos bits seleccionan el número de bits de datos a transmitir según la tabla siguiente:

Bit 1	Bit 0	bits de datos
0	0	5
0	1	6
1	0	7
1	1	8

- Bit 2. Indica el número de bits de stop.
- Bit 3. Refleja si la paridad está activada ('1') o desactivada ('0').
- Bit 4. Se trata del selector de paridad, par ('1') o impar ('0').
- Bit 5. Sirve para poner o quitar paridad. Estos tres últimos bits se combinan entre sí para dar lugar a las siguientes posibilidades:

Bit 5	Bit 4	Bit 3	Tipo de paridad
0	0	0	Sin paridad
0	0	1	Paridad impar
0	1	1	Paridad par
1	0	1	Paridad siempre a '1'
1	1	1	Paridad siempre a '0'

Las combinaciones con el bit 5 a '1' obligan a que el bit de paridad tome siempre el mismo valor dado, independientemente del dato transmitido. No están permitidas otras combinaciones.

- Bit 6 (BREAK). Cuando se pone a '1' este bit obliga al controlador a poner su salida SOUT a '0'. Este estado permanece hasta que cambie el valor de este bit nuevamente a '0'.
- Bit 7 (DLAB). Se trata del bit de acceso al "latch divisor" que contiene el divisor de frecuencia en dos bytes almacenados en las posiciones BASE+0 y BASE+1.

### 1.2.6. Registro de control de salida RS-232 (BASE+4). Control de modem.

también denominado control de modem, este registro controla el estado de las dos líneas de salida RS-232,  $\overline{DTR}$  y  $\overline{RTS}$  junto con dos líneas de salida de propósito general (GPO2 y GPO1). El registro contiene también un bit de autotest (loopback).

- Bit 0 (DTR). El valor '1' en este bit activa la línea de salida DTR.
- Bit 1 (RTS). El valor '1' en este bit activa la línea de salida RTS.
- Bit 2 (GPO1). Permite la activación de la primera línea de salida de propósito general. Esta línea es utilizada en el manejo de las interrupciones de la 8250 que luego comentaremos.
- Bit 3 (GPO2). Se trata del bit que controla la segunda línea de salida programada.
- Bit 4 (TEST). Este bit permite realizar un test mediante la conexión temporal de las líneas de salida y entradas complementarias. Esto facilita un método sencillo para la comprobación de las funciones de la UART. Los datos escritos en el transmisor aparecen en el receptor y las entradas RS-232 son las que escribimos en las salidas. Para ello realiza las siguientes acciones:
  - La salida SOUT se pasa a '1'.
  - La línea SIN se desconecta.
  - La salida del registro de desplazamiento de transmisión se conecta con la entrada del registro de receptor.
  - Las cuatro entradas de control RS-232 conectan internamente de la siguiente forma: CTS-RTS, DRS-DTR, DCD-GPO2, RI-GPO1.

### 1.2.7. Registro de estado de línea (BASE+5).

Este registro contiene información sobre los eventos ocurridos en el proceso de recepción.

- Bit 0 (RXRDY). Indica que se ha transferido un byte al buffer de recepción. Este bit se pondrá a '1' cuando se ha leído un carácter de entrada de forma satisfactoria. Pasa a '0' cuando se accede a dicho buffer y se lee.
- Bit 1 (OVERRUN). Se trata de un error de sobreescritura que indica cuando pasa a '1' que un carácter de buffer del receptor ha sido borrado por un nuevo carácter leído sin que el anterior haya sido recogido por la CPU. Pasa a '0' cuando se lee este bit.
- Bit 2 (PARITY ERROR). Pasa a '1' cuando el bit de paridad del carácter recibido no coincide con el esperado. Pasa a '0' cuando se lee este bit.
- Bit 3 (FRAME ERROR). Pasa a '1' cuando el bit de STOP del carácter recibido vale '0' (error de trama o encuadre). Pasa a '0' cuando se lee este bit.
- Bit 4 (BREAK). Pasa a '1' cuando se detecta una condición "break", es decir aparecen ceros en la línea durante un período superior a la longitud de un carácter. Pasa a '0' cuando se lee este bit.
- Bit 5 (TBE). Indica una situación de buffer de transmisión vacío ("transmisor buffer empty") cuando se pone a '1'. Se activa para informar que ya se puede aceptar en parte de la CPU un nuevo carácter para transmisión. Si no se verifica este bit antes de enviar un nuevo carácter al 8250, puede producirse una sobreescritura en la transmisión (escribir sobre un dato que aún no ha sido transmitido), condición que no es detectada por el controlador.
- Bit 6 (TXE). Se activa cuando no existen caracteres para enviar, ni en el buffer de transmisión ni en el registro de desplazamiento.
- Bit 7. Siempre a '0'.

### 1.2.8. Registro de estado de entrada RS-232 (BASE+6). Estado de modem.

Se encarga de informar sobre los estados de las líneas de entrada RS-232.

- Bits 0-3. Informan que ha existido algún cambio en la señal correspondiente desde la última vez que fueron leídos. Al leerlos pasan a '0'.
  - bit 0: Delta CTS.
  - bit 1: Delta DSR.
  - bit 2: Delta RI.
  - bit 3: Delta DCD.
  
- Bits 4-7. Indican el valor de cada una de las líneas de entrada RS-232. En modo test ("loopback") reflejan el valor de las salidas.
  - bit 4: CTS.
  - bit 5: DSR.
  - bit 6: RI.
  - bit 7: DCD.

### 1.2.9. Registro de "scratch pad" (BASE+7).

Se trata de un registro sin función conocida que no existe en las primeras versiones del 8250 y que puede ser utilizado libremente por el usuario.

### 1.2.10. Registro de "latch divisor" (BASE+0) (BASE+1) con DLAB=1.

Como hemos explicado en la descripción del bloque de líneas de reloj, el reloj de referencia del 8250 se divide por un entero de 16 bits (divisor) para obtener el *reloj maestro* que a su vez se divide por 16 para obtener el reloj en baudios que controlará la transmisión. En caso que  $BAUDOUT$  se encuentre conectada a la señal RCLK, también gobernará la recepción.

El divisor para cualquier frecuencia puede obtenerse mediante la fórmula:

$$Divisor = \frac{Frecuencia\ reloj\ referencia}{16 * Velocidad\ deseada}$$

Para seleccionar la velocidad deseada se escribe en el 8250 el divisor correspondiente mediante la siguiente secuencia de pasos:

- Poner el bit DLAB a '1'.
- Almacenar en (BASE+0) el octeto menos significativo.
- Almacenar en (BASE+1) el octeto más significativo.
- Poner el bit DLAB a '0' para proseguir con la operación normal.

### 1.2.11. Manejo de interrupciones

Las UART de la familia 8250 y derivadas están pensadas para funcionar por interrupciones pero también pueden aplicarse técnicas basadas en muestreo. En el modo por interrupciones se dispone de una línea INTR que se activa cada vez que existe una interrupción pendiente. Por tanto no suministra información sobre la localización del correspondiente manejador de interrupciones que debe ser obtenida por la propia CPU. Una vez determinada la dirección de la rutina de tratamiento de interrupciones, se debe averiguar el origen de la interrupción consultando el registro de identificación de interrupciones (BASE+2). De esta forma podrá aplicarse el tratamiento adecuado a la interrupción ocurrida.

El tratamiento de dichas interrupciones se realiza en orden de prioridad de forma que las de prioridad inferior o igual quedan bloqueadas hasta que sea tratada la de mayor prioridad. En función del tipo de interrupción se realizará las siguientes operaciones para su eliminación:

- BREAK: lectura del registro de estado de serialización.

- RxRDY: lectura del dato del buffer receptor.
- TBE: escritura en el buffer transmisor o lectura del registro de identificación de interrupciones.
- Entrada RS-232: lectura del registro de estado RS-232.

A pesar que el 8250 fue pensado originalmente para funcionar mediante interrupciones la introducción de mayor número de buffers de transmisión-recepción en las UART más recientes, posibilita operaciones de muestreo. Para ello se utiliza un esquema de bloqueo de interrupciones mediante la línea GPO2 que permite inhibir la línea INTR.