

Ampliación de Arquitectura de Computadores

Examen de julio (7/7/03). Problema

En esta parte se permiten todo tipo de apuntes y libros. El tiempo para la realización del problema es de 1h y 10 minutos. Esta parte cuenta un 30% de la nota del examen de teoría.

1.- Se tiene el siguiente código de DLXV

```
MULTV    V2 , V2 , V1
ADDV     V2 , V2 , V3
DIVV     V1 , V2 , V3
SV       R1 , V2
LV       V3 , R3
ADDV     V3 , V3 , V1
SV       R4 , V2
SV       R2 , V1
MULTV    V2 , V3 , V1
SV       R3 , V3
```

Frecuencia del reloj	600	MHz
MVL (maximun vector length)	32	
Tiempo de arranque de la carga y almacenamiento	14	ciclos
Tiempo de arranque de la multiplicación o división	9	ciclos
Tiempo de arranque de la suma o resta	6	ciclos
Tiempo de bucle	20	ciclos

Se supone inicialmente que **no hay encadenamiento** de instrucciones. También se supondrá que existe **un cauce de lectura y otro de escritura con la memoria**, y que cada **registro vectorial sólo tiene dos cauces de lectura y uno de escritura. Sólo existe una unidad funcional por cada operación aritmética** (suponemos que la suma y la resta son unidades funcionales distintas al igual que la multiplicación y la división).

1. Con las condiciones dadas inicialmente hay que calcular estas dos cosas:
 - a) R_{∞}
 - b) N_v (Suponemos que el escalar tarda 12 ciclos por elemento.)
2. Suponiendo que ahora el procesador **permite encadenamiento**, tiene **3 canales de lectura y 2 de escritura con memoria**, cada registro vectorial tiene **3 cauces de lectura y 2 de escritura** y hay **2 unidades funcionales** por cada tipo de operación aritmética, calcular estas dos cosas:
 - a) R_{700} (Rendimiento obtenido con vectores de 700 elementos)
 - b) $N_{1/2}$