

Ampliación de Arquitectura de Computadores

Examen de febrero (8/8/02). Problema

En esta parte se permiten todo tipo de apuntes y libros. El tiempo para la realización del problema es de 1h y 10 minutos. Esta parte cuenta un 30% de la nota del examen.

1.- Se da el siguiente código de DLXV

```
ADDV    V2, V2, V1
SUBV    V2, V2, V3
MULTV   V1, V2, V3
SV      R1, V2
SV      R2, V1
LV      V3, R3
SV      R4, V2
MULTV   V3, V3, V1
SUBV    V2, V3, V1
SV      R3, V3
```

| | | |
|--|-----|--------|
| Frecuencia del reloj | 400 | MHz |
| MVL (maximun vector length) | 64 | |
| Tiempo de arranque de la carga y almacenamiento | 12 | ciclos |
| Tiempo de arranque de la multiplicación o división | 7 | ciclos |
| Tiempo de arranque de la suma o resta | 6 | ciclos |
| Tiempo de bucle | 15 | ciclos |

Se supone inicialmente que **no hay encadenamiento** de instrucciones. También se supondrá que existe **un cauce de lectura y otro de escritura con la memoria**, y que cada **registro vectorial sólo tiene dos cauces de lectura y uno de escritura. Sólo existe una unidad funcional por cada operación aritmética** (suponemos que suma y resta son unidades funcionales diferentes al igual que multiplicación y división).

1. Con las condiciones dadas inicialmente hay que calcular estas dos cosas:
 - a) R_{∞}
 - b) N_v (El escalar tarda 14 ciclos por elemento.)
2. Suponiendo que ahora el procesador **permite encadenamiento**, tiene **3 canales de lectura y 3 de escritura con memoria**, cada registro vectorial tiene **3 cauces de lectura y 2 de escritura** y hay **2 unidades funcionales** por cada tipo de operación aritmética, calcular estas dos cosas:
 - a) R_{774} (Rendimiento obtenido con vectores de 774 elementos)
 - b) $N_{1/2}$