

Ampliación de Arquitectura de Computadoras

Examen de febrero (7/2/03). Problema

En esta parte se permiten todo tipo de apuntes y libros. El tiempo para la realización del problema es de 1h. Esta parte cuenta un 30% de la nota del examen.

1.- Se da el siguiente código de DLXV

```
LV      V1 , R1
LV      V2 , R2
LV      V3 , R3
SUBV    V3 , V3 , V2
MULTV   V4 , V1 , V1
ADDV    V3 , V2 , V1
ADDV    V4 , V4 , V3
SV      R1 , V4
MULTV   V2 , V3 , V2
SV      R1 , V3
ADDV    V2 , V4 , V2
SV      R2 , V2
```

Frecuencia del reloj	400	MHz
MVL (maximun vector length)	64	
Tiempo de arranque de la carga y almacenamiento	12	ciclos
Tiempo de arranque de la multiplicación o división	7	ciclos
Tiempo de arranque de la suma o resta	6	ciclos
Tiempo de bucle	15	ciclos

Se supone inicialmente que **no hay encadenamiento** de instrucciones. También se supondrá que existe **un cauce de lectura y otro de escritura con la memoria**, y que cada **registro vectorial sólo tiene dos cauces de lectura y uno de escritura. Sólo existe una unidad funcional por cada operación aritmética** (suponemos que suma y resta son unidades funcionales diferentes al igual que multiplicación y división).

1. Con las condiciones dadas inicialmente hay que calcular el R_{∞} y el $N_{1/2}$
2. Suponiendo que ahora el procesador **permite encadenamiento**, tiene **2 canales de lectura y 2 de escritura con memoria**, cada registro vectorial tiene **3 cauces de lectura y 2 de escritura** y hay **2 unidades funcionales** por cada tipo de operación aritmética, calcular también el R_{∞}
3. Suponiendo que ahora el procesador **permite encadenamiento**, tiene **4 canales de lectura y 4 de escritura con memoria**, cada registro vectorial tiene **6 cauces de lectura y 4 de escritura** y hay **4 unidades funcionales** por cada tipo de operación aritmética, calcular también el R_{∞} y el $N_{1/2}$