

Ampliación de Arquitectura de Computadores

Examen de febrero (8/2/02). Problemas

En esta parte se permiten todo tipo de apuntes y libros. El tiempo para la realización del problema es de 1h y 10 minutos. Esta parte cuenta un 30% de la nota del examen.

1.- Se da el siguiente código de DLXV

LV	V1, R1
LV	V2, R2
ADDV	V2, V2, V1
LV	V3, R3
SV	R4, V2
SUBV	V2, V2, V3
MULTV	V3, V3, V1
SUBV	V2, V3, V1
MULTV	V1, V2, V3
SV	R1, V2
SV	R2, V1
MULTV	V3, V3, V4
SV	R3, V3

Frecuencia del reloj	100	MHz
MVL (maximun vector length)	32	
Tiempo de arranque de la carga y almacenamiento	12	ciclos
Tiempo de arranque de la multiplicación o división	7	ciclos
Tiempo de arranque de la suma o resta	6	ciclos
Tiempo de bucle	15	ciclos

Se supone inicialmente que **no hay encadenamiento** de instrucciones. También se supondrá que existe **un cauce de lectura y otro de escritura con la memoria**, y que cada **registro vectorial sólo tiene dos cauces de lectura y uno de escritura. Sólo existe una unidad funcional por cada operación aritmética** (suponemos que suma y resta son unidades funcionales diferentes al igual que multiplicación y división).

Se recuerda que el vector tiene 32 elementos como mucho.

- Con las condiciones dadas inicialmente hay que calcular estas dos cosas:
 - R_{∞}
 - N_v (El escalar tarda 14 ciclos por elemento.)
- Suponiendo que ahora el procesador **permite encadenamiento**, tiene **2 canales de lectura y 2 de escritura con memoria**, cada registro vectorial tiene **4 cauces de lectura y 2 de escritura** y hay **2 unidades funcionales** por cada tipo de operación aritmética, calcular estas dos cosas:
 - R_{77} (Rendimiento obtenido con vectores de 77 elementos)
 - $N_{1/2}$