

Ampliación de Arquitecturas de Computadoras

Examen de julio (5/7/2004) Teoría y problemas

Durante el examen no se permiten apuntes ni nada encima de la mesa. El tiempo para la realización de este ejercicio es de **1 hora y 40 minutos**.

1. (3 puntos) Supongamos una máquina vectorial con registros vectoriales de **32** elementos, una unidad funcional de cada tipo (ADDV, SUBV, MULTV y DIVV) y un cauce de lectura (LV) y otro de escritura (SV) con la memoria. Cada registro vectorial tiene dos cauces de lectura y uno de escritura. Los tiempos de arranque son 12 para LV y SV; 6 para ADDV y SUBV; 7 para MULTV; y 16 para DIVV. El tiempo de bucle es de 15 ciclos y la frecuencia es de 200 MHz. Dado el siguiente código vectorial (parte interna de un bucle):

LV	V1 , R2
LV	V2 , R1
ADDV	V3 , V2 , V1
MULTV	V5 , V3 , V2
SUBV	V4 , V3 , V2
SV	R2 , V4
SV	R1 , V3

Calcula R_{237} en dos casos: uno suponiendo que la máquina no soporta encadenamiento y otro suponiendo que sí que lo soporta. Debe incluirse el código con la representación gráfica de la separación en convoyes y los tiempos de arranque.

2. Dibuja una memoria con 8 módulos (tiempo de acceso de 300 ns) de manera que se disponga de dos bancos en caso de fallo y se pueda obtener un entrelazado suficiente para obtener una tasa de 100 ns/dato. Deben dibujarse las señales de habilitación de las memorias y su conexión a los bits de dirección.
3. Explica en qué consiste un procesador matricial asociativo. Explica por qué las memorias asociativas son especialmente interesantes para ser incluidas en procesadores matriciales.
4. Dibuja el encaminador genérico (*router*) de una red de multicomputadores ortogonal. Explica para qué sirve cada uno de los elementos del encaminador.
5. Explica el mecanismo de encaminamiento completamente adaptativo basado en redes virtuales. Pon algún ejemplo y explica su relación con el mecanismo parcialmente adaptativo por planos.

