

Práctica 7

SMPCache: Estudio de los protocolos y parámetros de las cachés

1. Objetivos

El objetivo de la presente práctica es realizar pruebas con trazas cortas de manera que se puedan ejecutar paso a paso y de esta manera se pueda ver con detalle el funcionamiento de las cachés en sistemas multiprocesadores. Se pretende ver el impacto que tiene ciertos parámetros, como el tipo de protocolo o la longitud de los bloques de caché, en el rendimiento del sistema.

2. Desarrollo

2.1 El simulador SMPCache

En la sesión anterior ya se ha utilizado esta herramienta que se encuentra en la página web de la asignatura (<http://informatica.uv.es/iiguia/AC/>). En esta misma página se pueden descargar las trazas que se utilizarán en esta sesión.

Al igual que en la sesión anterior el sistema multiprocesador deberá configurarse con las siguientes características:

- Procesadores: 8
- Arbitraje del Bus: LRU
- Tamaño de palabra: 8 bits
- Palabras por bloque: 32
- Bloques en la memoria: 8192
- Bloques en la cache: 64
- Mapeado: Asociativa por conjuntos
- Conjuntos: 16 (2 vías)
- Reemplazo: LRU

3. Trabajo a realizar

3.1 Observación de las transacciones con tres procesadores

En este apartado se pretende realizar una **simulación paso a paso** de uno de los ejemplos vistos en clase donde 3 procesadores acceden a unas mismas posiciones de memoria concurrentemente. Los ficheros de traza se pueden descargar de la web y serían aquellos para tres procesadores (*traza3_*.prg*). También se los puede hacer uno mismo pues son muy sencillos. Lo que hace cada procesador es lo siguiente (X es una dirección de memoria la que sea):

Procesador 1	Procesador 2	Procesador 3
LEE de X	LEE de X	LEE de X
LEE de X		ESCRIBE en X

El orden de ejecución de estas instrucciones puede ser aleatorio tal como ocurriría en un multiprocesador real, si bien al tratarse de un simulador es posible que siempre se entremezclen estas instrucciones de la misma manera.

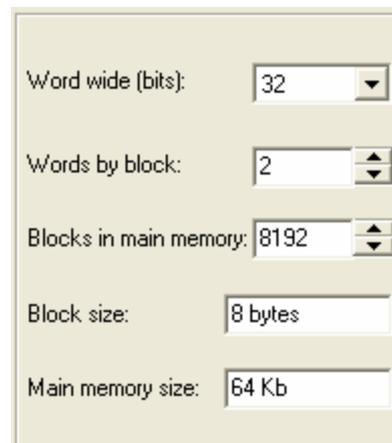
Se deben probar los protocolos MESI y DRAGON tratando de ver las diferencias entre ambos. Hay que contabilizar las transacciones en el bus, las transferencias de datos realizadas y los aciertos o fallos. Hay que ver también cómo se mantiene la coherencia con cada uno de los protocolos. Todos estos detalles se deben apuntar para recordarlos el día del examen.

3.2 Efecto de la longitud del bloque en los protocolos de caché

En los ejemplos mostrados hasta ahora se ha podido comprobar que casi siempre funciona mejor el DRAGON (actualización) que el MESI (invalidación). Sin embargo esto no siempre es así. En las trazas para cuatro procesadores (*traza4_*.prg*) se encuentra un ejemplo donde en algún caso el DRAGON funciona peor que el MESI, pero veremos que en realidad depende de la longitud, en palabras, del bloque de Caché.

Para realizar este apartado vamos a fijar el tamaño de palabra en 32 bits, y modificaremos el número de palabras por bloque para que tome los valores {2, 4, 8, 16}.

Modificaremos el valor **Words by block** a los valores determinados con anterioridad. (El tamaño de palabra es indiferente pues estamos accediendo a la misma dirección y se supone que el bus tiene el tamaño de la palabra.)



Para comparar ambos protocolos con este ejemplo particular resulta conveniente construir una tabla similar a la siguiente:

		Words by block =	2 palabras	4 palabras	8 palabras	16 palabras
MESI	Bloques transferidos					
	Transacciones de Bus					
	Aciertos					
	Fallos					
DRAGON	Bloques transferidos					
	Transacciones de Bus					
	Aciertos					
	Fallos					

Esta tabla es sólo una referencia, se pueden probar a cambiar otros parámetros, o probar con longitudes de bloque todavía mas largas.

En este experimento a veces el MESI va mejor y otras peor, entonces hay que dar una explicación de por qué esto es así. Para ello, además de simular paso a paso para ver lo que ocurre, hay que ver los ficheros de trazas para ver qué faena tiene asignada cada procesador. Se recuerda que un '2' en el fichero de trazas indica lectura y un '3' escritura, el número que sigue a la lectura o escritura es la dirección.

3.3 Efecto del número de escrituras en fichero de trazas

Probar a modificar en el fichero de traza del cuarto procesador (*traza4_4.prg*) el número total de escrituras en una misma dirección de memoria para comprobar como afecta al número de transacciones de Bus en los dos protocolos, MESI y DRAGON.

¿Qué ocurre si las lecturas del primer procesador (fichero *traza4_1.prg*) se convierten en escrituras?

Razonar las respuestas.