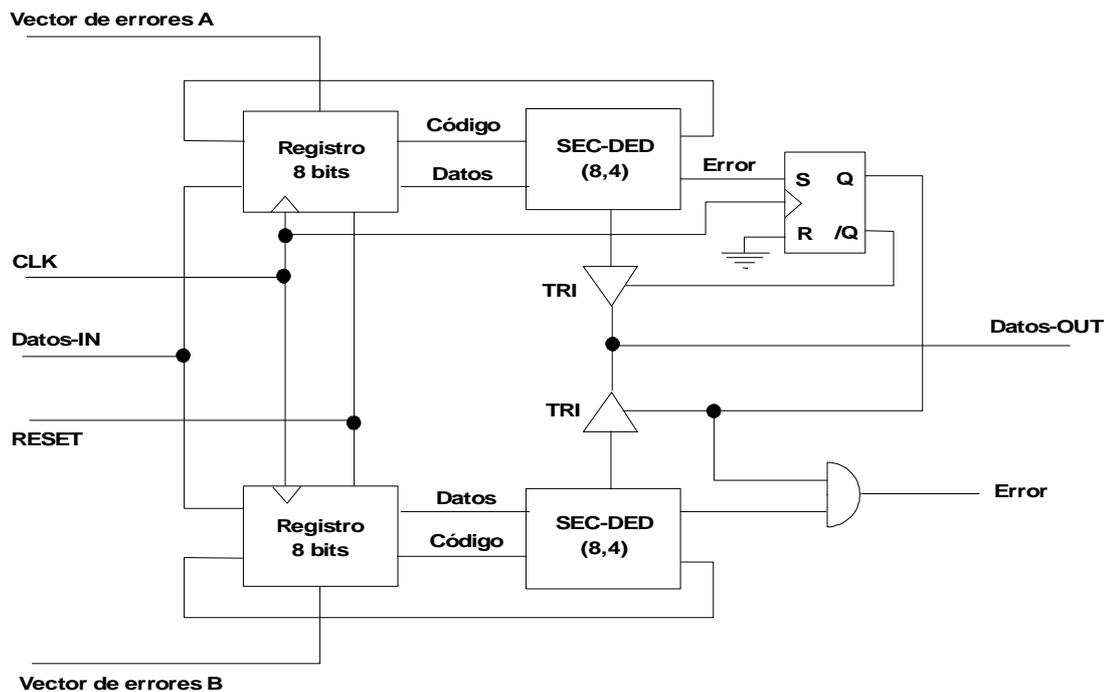


LABORATORIO DE FIABILIDAD Y TOLERANCIA A FALLOS Examen Febrero (5-Feb-98)

1.- Explicar el método que se ha empleado para inyectar fallos de pegado-a en el registro síncrono de 4 bits implementado en la primera práctica.



2.- Razona cuál es la cobertura de detección y de corrección de fallos del circuito, para fallos de 1,2 y 3 bits, producidos siempre en los bits de datos de cualquiera de los dos módulos.

3.- Si nos dicen que un módulo falla como media cada 3000 horas y se repara normalmente en 30 horas. ¿ Qué valor tendrá la tasa de fallos y la de reparación ?.

4.- El programa *TESS* calcula los patrones de test para un circuito combinacional.

¿ Qué tipo de algoritmo utiliza para generar los vectores ?

¿ Realiza simulación de fallos ?

¿ Para qué ?

¿ Por qué hay veces que la cobertura de detección de fallos no es del 100 % ?